

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Takeshi SHIOGA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **July 16, 2003**

For: **SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 16, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-210176, filed July 18, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.
Attorney for Applicants
Reg. No. 22,631

WGK/jaz
Atty. Docket No. **030844**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: July 18, 2002

Application Number: No. 2002-210176
[ST.10/C]: [JP2002-210176]

Applicant(s) : FUJITSU LIMITED

January 17, 2003

Commissioner,
Patent Office Shinichiro Ota (Seal)

Certificate No. 2002-3107062

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 7月18日

出願番号
Application Number:

特願2002-210176

[ST.10/C]:

[JP2002-210176]

出願人
Applicant(s):

富士通株式会社

2003年 1月17日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3107062

【書類名】 特許願

【整理番号】 0240326

【提出日】 平成14年 7月18日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 25/00
H01L 23/00

【発明の名称】 半導体装置

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 塩賀 健司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 ジョン バニッキ

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 栗原 和明

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 山岸 康男

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 支持基板と、前記支持基板上に実装された半導体集積回路素子と、前記半導体集積回路素子の高周波領域での安定動作を可能にするキャパシタとを備える半導体装置であって、

前記キャパシタは、前記半導体集積回路素子下面の電極パッドに電気的に接続され、前記支持基板上における前記キャパシタの基板を含めた厚さが前記半導体集積回路素子のバンプ高さより小さいか、あるいは等しいことを特徴とする半導体装置。

【請求項2】 前記キャパシタの基板の背面は、前記半導体集積回路素子を実装するための前記支持基板表面に接触することを特徴とする請求項1記載の半導体装置。

【請求項3】 支持基板と、前記支持基板上に実装された半導体集積回路素子と、前記半導体集積回路素子の高周波領域での安定動作を可能にするキャパシタとを備え、前記半導体集積回路素子とリードフレームとがワイヤボンディングにより電気的に接続される半導体装置であって、

前記キャパシタは、前記半導体集積回路素子上面の電極パッドに電気的に接続され、前記半導体集積回路素子上面における前記キャパシタの基板を含めた高さが、前記ワイヤボンディングのワイヤ高さよりも低いことを特徴とする半導体装置。

【請求項4】 前記支持基板はシリコンであることを特徴とする請求項1又は3記載の半導体装置。

【請求項5】 前記キャパシタの誘電体層を構成する誘電体酸化物が、Sr、Ba、Pb、Zr、Bi、Ta、Ti、Mg、Nbの中、少なくとも1つの元素を含む複合酸化物であることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記キャパシタにおいて、誘電体層を間に挟み込んで形成される上部電極及び下部電極が、Pt、Au、Cu、Pb、Ru、Ru酸化物、Ir、Ir酸化物、Crの中、少なくとも1つ以上の金属元素又は金属酸化物を含有

することを特徴とする請求項1記載の半導体装置。

【請求項7】 前記キャパシタは、前記基板及び電極パッドを含めた厚さが50μm以下となるよう構成したことを特徴とする請求項1記載の半導体装置。

【請求項8】 前記キャパシタは、前記基板上に誘電体層を間に挟み込んで形成される上部電極及び下部電極を含む薄膜キャパシタであることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータ等の電子機器に使用される半導体集積回路素子を実装してなる半導体装置に関する。より詳細には、半導体集積回路素子の近傍に電源供給用デカップリングキャパシタを配置して半導体集積回路素子の高周波領域における動作を安定化させることができ半導体装置に関する。

【従来の技術】

従来、電源電圧変動および基板内の高周波ノイズによる半導体集積回路素子の誤動作防止対策として、デカップリングキャパシタ（バイパスコンデンサ）を、回路配線基板の半導体集積回路素子の近傍に実装した半導体装置が知られている。このような半導体装置では、上記キャパシタとして、積層チップキャパシタが通常用いられる。

【0002】

図1は、積層チップキャパシタを実装した従来の半導体装置を示す。

【0003】

図1の半導体装置においては、パッケージ基板1にBGA（ボールグリッドアレイ）接続された半導体集積回路素子2に対して、パッケージ下部に積層チップキャパシタ4がバンプ接続されている。このパッケージ基板1は、例えば、マルチチップモジュール（MCM）基板等である。積層チップキャパシタ4の高さが回路配線基板（マザーボード）3と干渉するために、回路配線基板3のキャパシタ実装部分はくり貫いて形成してある。この場合、半導体集積回路素子2とキャパシタ4間のインダクタンスが問題となる。

【0004】

図1のような半導体装置の場合、パッケージ基板1内で、積層チップキャパシタ4と半導体集積回路素子2との配線の引き回しが必要になり、この引き回し配線でインダクタンスが存在することから、高速動作の半導体集積回路素子2に対しての電源電圧変動の抑止、および高周波リップル吸収の効果は薄れてくる。電圧変動を抑えるためにキャパシタに求められることは、等価直列抵抗（E S R）、等価直列インダクタンス（E S L）の低減である。特に、配線の引き回しによるインダクタンスの増加は、デカップリングキャパシタの高周波特性を妨げている。

【0005】

この問題を回避するため、半導体集積回路素子近傍にキャパシタを配置し、半導体集積回路素子の電源、グランドからキャパシタまでの配線引き回しを最短にすることにより、インダクタンスの低減が可能となる。そこで、特開平4-211191号公報には、セラミック回路基板上に誘電体薄膜を形成し、インダクタンスを低減することにより電源系に対するノイズの低減を実現することが考案されている。

【0006】

また、特開平7-176453号公報、特開2001-68583号公報、特開2001-35990号公報には、ビアホールを有する支持基板上に形成された薄膜型キャパシタの上面パッドを半導体集積回路素子に、下面パッドは回路基板に接続し、インダクタンスを低減することが考案されている。

【0007】

図2は、キャパシタ内蔵インターポーラを実装した従来の半導体装置を示す。図2の（A）においては、パッケージ基板1上にBGA接続された半導体集積回路素子2に対して、半導体集積回路素子2下部にキャパシタ内蔵インターポーラ5がBGA接続されている。この場合、インターポーラ5の高さがパッケージ基板1と干渉するため、パッケージ基板1のインターポーラ実装部分はくり貫いてある。図2の（B）の構成では、パッケージ基板1と半導体集積回路素子2との間にキャパシタ内蔵インターポーラ5がBGA接続により実装されている。

【0008】

図1に比べて、図2の半導体装置の場合は、半導体集積回路素子とキャパシタの接続距離は短くなるが、インターポーラ型を使用すると、製造工程が増加し、技術的にも困難となり、低コスト化は難しくなる。また、素子間接続数が増加するので信頼性の面でも問題がある。また、図2(A)のようにキャパシタ自体の厚みのため、半導体集積回路素子の実装用パッケージを加工しなければならない。

【発明が解決しようとする課題】

従来、半導体集積回路素子の近傍にキャパシタを配置するには、図2に示したように、支持基板と半導体集積回路素子間にインターポーラ型のチップキャパシタを適用しなければならなかった。しかし、インターポーラ型キャパシタを作製するには、基板にスルーピアを形成しなければならず、導体とセラミックスを同時焼成するプロセスによるものや、シリコン等の基板に貫通孔を形成して導体を充填してスルーピアを形成しなければならない。これらは、製造上、技術的に困難であり、低コスト化を見込むことができなかった。

【0009】

本発明は、上記の点に鑑みてなされたものであり、インターポーラ構造や積層チップキャパシタを使用することなく、半導体集積回路素子の近傍の最短距離にデカップリングキャパシタを実装することを可能とし、キャパシタのデカップリング機能を最大限に引き出すことができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

上記課題を解決するため、請求項1に記載した発明は、支持基板と、前記支持基板上に実装された半導体集積回路素子と、前記半導体集積回路素子の高周波領域での安定動作を可能にするキャパシタとを備える半導体装置であって、前記キャパシタが、前記半導体集積回路素子下面の電極パッドに電気的に接続され、前記支持基板上における前記キャパシタの基板を含めた厚さが前記半導体集積回路素子のバンプ高さよりも小さいか、あるいは等しいことを特徴とする。本発明の半導体装置では、キャパシタをシリコンやガラス等の平滑性を有する基板上に作

製し、このキャパシタを基板側から薄型化することで、半導体集積回路素子のパッケージ実装時のバンプ高さより小さいか、あるいは同程度の高さにすることで、半導体集積回路素子とキャパシタ間を最短距離にすることができる。

【0010】

請求項2に記載した発明は、請求項1記載の半導体装置において、前記キャパシタの基板の背面が、前記半導体集積回路素子を実装するための前記支持基板表面に接触することを特徴とする。

【0011】

請求項3に記載した発明は、支持基板と、前記支持基板上に実装された半導体集積回路素子と、前記半導体集積回路素子の高周波領域での安定動作を可能にするキャパシタとを備え、前記半導体集積回路素子とリードフレームとがワイヤボンディングにより電気的に接続される半導体装置であって、前記キャパシタは、前記半導体集積回路素子上面の電極パッドに電気的に接続され、前記半導体集積回路素子上面における前記キャパシタの基板を含めた高さが、前記ワイヤボンディングのワイヤ高さよりも低いことを特徴とする。本発明の半導体装置では、キャパシタをシリコンやガラス等の平滑性を有する基板上に作製し、このキャパシタを基板側から薄型化することで、半導体集積回路素子のパッケージ実装時のワイヤボンディングのワイヤ高さよりも低くしてあり、半導体集積回路素子とキャパシタ間を最短距離にすることができる。

【0012】

請求項4に記載した発明は、請求項1又は3記載の半導体装置において、前記支持基板がシリコンであることを特徴とする。

【0013】

請求項5に記載した発明は、請求項1記載の半導体装置において、前記キャパシタの誘電体層を構成する誘電体酸化物が、Sr、Ba、Pb、Zr、Bi、Ta、Ti、Mg、Nbの中、少なくとも1つの元素を含む複合酸化物であることを特徴とする。

【0014】

請求項6に記載した発明は、請求項1記載の半導体装置において、前記キャパ

シタの誘電体層を間に挟み込んで形成される上部電極及び下部電極が、Pt、Au、Cu、Pb、Ru、Ru酸化物、Ir、Ir酸化物、Crの中、少なくとも1つ以上の金属元素又は金属酸化物を含有することを特徴とする。

【0015】

請求項7に記載した発明は、請求項1記載の半導体装置において、前記キャパシタが、前記基板及び電極パッドを含めた厚さが $50\mu m$ 以下となるよう構成したことを特徴とする。

【0016】

請求項8に記載した発明は、請求項1記載の半導体装置において、前記キャパシタが、前記基板上に誘電体層を間に挟み込んで形成される上部電極及び下部電極を含む薄膜キャパシタであることを特徴とする。

【発明の実施の形態】

以下、本発明の実施の形態を添付の図面を参照しながら具体的に説明する。

【0017】

図3に、本発明の半導体装置の第1の実施形態の構成を示す。図3の(A)は、本発明の半導体装置の第1の実施形態の構成例を示し、(B)はこの実施形態の半導体装置の部分拡大図である。

【0018】

図3の実施形態において、半導体装置10は、支持基板としてのパッケージ基板1と、パッケージ基板1上に実装された半導体集積回路素子2と、半導体集積回路素子2の高周波領域における動作を安定化するデカップリングキャパシタとして配置される薄膜キャパシタ20とから構成される。薄膜キャパシタ20は、半導体集積回路素子2下面の電極パッド部に電気的に接続されると共に、支持基板1上における薄膜キャパシタ20の基板を含めた厚さが半導体集積回路素子2の半田バンプ高さHよりも小さく構成されている。

【0019】

この薄膜キャパシタ20は、例えば、シリコンやガラス等の平滑性を有する基板上に、誘電体層を間に挟み込んだ上部電極層と下部電極層を形成することにより作製される。この薄膜キャパシタ20の電極パッド及び基板を含めた厚さは5

$0 \mu m$ 以下まで薄型化してある。薄膜キャパシタ20と半導体集積回路素子2の電極パッド部どうしを、例えば、Au-Auの超音波接合を利用して電気的に接続することで実装される。

【0020】

図3の(B)に示したように、半導体集積回路素子2をパッケージ基板1に半田バンプにより接合する際に用いられる半田バンプの高さH(ここでは、パッケージ基板1及び半導体集積回路素子2の各電極パッドの厚さを含む高さとする)は、 $70 \mu m$ 程度である。また、パッケージ基板1の電極パッド及び半導体集積回路素子2の電極パッドの厚さは共に、 $10 \mu m$ 程度である。したがって、この実施形態の薄膜キャパシタ20は、支持基板1上における薄膜キャパシタ20の基板を含めた厚さが半導体集積回路素子2の半田バンプ高さHよりも小さく、もしくは同程度の高さに構成することができる。

【0021】

この実施形態では、図3の(B)のように、薄膜キャパシタ20の基板背面が、パッケージ基板1の表面に接触する構成にしてある。このように構成することで、半導体集積回路素子2をパッケージ基板1に接続する際に、半田バンプ高さが規定されることになる。このように半導体集積回路素子2とパッケージ基板1間の距離が規定されると、半田溶融時に、半導体集積回路素子2とパッケージ基板1の電極パッドにより半田の広がりが制限されるため、半田の表面張力により接続部の形状は球欠体となることが防止され、円柱形状になる。このため、半田と半導体集積回路素子2およびパッケージ基板1上の電極パッドとの接着部分に応力集中が生じることを防止できる。

【0022】

なお、特開昭57-118650号公報に記載されたように、半田溶融時に、支持基板の電極と回路素子の電極間の半田接続部を球欠体ではなく、円柱形状に形成すると、同一半田量でも接続高さが高くなり、温度変化により生じる応力が、半田接続部に均一にしかも高さ増加分だけ減少して分配される。ため、回路素子の半田接続部の接続信頼性が向上する。

【0023】

図4に、本発明の半導体装置の第2の実施形態の構成を示す。

【0024】

図4の実施形態において、半導体装置11は、支持基板としてのパッケージ基板1と、パッケージ基板1上に実装された半導体集積回路素子2と、半導体集積回路素子2の高周波領域における動作を安定化するデカップリングキャパシタとして配置される薄膜キャパシタ20とから構成される。この半導体装置11は、半導体集積回路素子2とリードフレーム16とがワイヤボンディングにより電気的に接続される構成であり、樹脂モールド18に封止された状態で使用される。

【0025】

この実施形態において、薄膜キャパシタ20は、半導体集積回路素子2上面の電極パッド部に電気的に接続されると共に、半導体集積回路素子2の上面における薄膜キャパシタ20の基板を含めた高さH1がボンディングワイヤ17のワイヤ高さH2も小さく構成されている。

【0026】

図3の実施形態と同様に、この薄膜キャパシタ20は、例えば、シリコンやガラス等の平滑性を有する基板上に、誘電体層を間に挟み込んだ上部電極層と下部電極層を形成することにより作製される。この薄膜キャパシタ20の電極パッド及び基板を含めた厚さは50μm以下まで薄型化してある。薄膜キャパシタ20と半導体集積回路素子2の電極パッド部どうしを、例えば、Au-Auの超音波接合を利用して電気的に接続することで実装される。

【0027】

この実施形態では、薄膜キャパシタ20の基板を含めた厚さH1が、半導体集積回路素子2表面からのボンディングワイヤ17のワイヤ高さH2よりも小さいことを特徴とする。図4に示したように、ワイヤボンディングのリードフレーム16からのワイヤ高さは150μm程度であり、薄膜キャパシタ20を内蔵する本実施形態の半導体装置11は容易に作製することができる。

【0028】

図4の半導体装置11においても、第1の実施形態と同様、薄膜キャパシタ20は、その支持基板としてのシリコンウェハーの背面を研磨して、厚さ50μm

以下に薄型化してある。また、薄膜キャパシタ20と半導体集積回路素子2の各電極端子どうしを、Au-Auの超音波接合法を用いて実装してある。上述したように、ボンディングワイヤ17のワイヤ高さは150μm程度であり、樹脂モールド18を形成する際に、薄膜キャパシタ20が干渉することがない。したがって、薄膜キャパシタ20を内蔵する半導体装置11が容易に作製することができる。

【0029】

図5は、本発明に係る薄膜キャパシタの製造方法の実施例を説明するための図である。図6は、図5の薄膜キャパシタを実装した本発明の半導体装置の詳細構造を示す。

【0030】

図5の(a)に示したように、支持基板にはシリコンウェハー21を用いている。支持基板にシリコンを使用することで、背面研磨による薄型化が容易である。シリコンは30μm程度に薄く研磨しても割れにくいため、本発明に係る薄膜キャパシタ20の支持基板として好適である。また、半導体集積回路素子2と薄膜キャパシタ20との熱膨張係数をほぼ同じレベルに合わせることができ、実装ストレスを回避することができる。

【0031】

図5の(b)、(c)、(d)に示したように、シリコンウェハー21上に下部電極層23、誘電体層24、上部電極層25の薄膜を順次成膜する。この実施例では、厚さ0.3mmのSiO₂熱酸化膜が形成されたシリコンウェハー21を用い、まず、このシリコンウェハー21上に下部電極材料としてTiO₂(0.05μm)/Pt(0.1μm)をスパッタリング法により成膜を行う。次に、同一真空系内で、高誘電体材料(Ba、Sr)TiO₃(以下、BSTという)をスパッタリング法により成膜する。さらに、その上に、Pt(0.1μm)をスパッタリング法により成膜してある。

【0032】

本発明に係る薄膜キャパシタ20の、誘電体層24を構成する誘電体酸化物として好適な構成材料としては、ストロンチウム(Sr)、バリウム(Ba)、鉛

(Pb)、スズ(Zr)、ビスマス(Bi)、タンタル(Ta)、チタン(Ti)、マグネシウム(Mg)、ニオブ(Nb)等の中、少なくとも1つの元素を含む複合酸化物を適用することができる。薄膜キャパシタ20の誘電体層24に好適な誘電体酸化物として、上記実施例の $(Ba, Sr)TiO_3$ の他、例えば、 $Pb(Zr, Ti)O_3$ 、 $Pb(Mg, Nb)O_3$ 、 $SrBi_2Ta_2O_9$ 、 Ta_2O_5 等を挙げることができる。

【0033】

また、本発明に係る薄膜キャパシタ20において、誘電体層24を間に挟み込んで形成される上部電極層25及び下部電極層23に好適な構成材料として、白金(Pt)、金(Au)、銅(Cu)、鉛(Pb)、ルテニウム(Ru)、ルテニウム酸化物、イリジウム(Ir)、イリジウム酸化物、クロム(Cr)等の中、少なくとも1つ以上の金属元素又は金属酸化物を含有するものを適用することができる。

【0034】

次に、図5の(e)に示したように、フォトリソグラフィ法により、上部電極層25および誘電体層24の開口部をパターニングする。さらに、Arイオンミリングを使用して、Pt、BSTの一括ドライエッチングを行う。

【0035】

次に、図5の(f)、(g)に示したように、ポリイミド絶縁層26を成膜して、Cr膜0.05μm、Cu膜1μm、Au膜10μmを順次積層して電極パッド22が形成してある。図6に示したように、この電極パッド22には、半導体集積回路素子2の電極パッド12とAu-Au超音波接合を行なうため、薄膜キャパシタ20側は、直径40μm、厚さ10μm程度のAu最表面パッドが形成され、半導体集積回路素子2側には、厚さ0.2μm程度のAu最表面パッドが形成されている。半導体集積回路素子2の電極パッド12は、Cu膜3μm、Ni膜2μm、Au膜0.2μmを積層して形成してある。

【0036】

その後、図5の(h)、図6の(A)に示したように、シリコンウェハー21の背面21aを研磨して、薄膜キャパシタ20の基板21を含む厚さ(電極パッ

ド22を除く)を40μmまで薄型化させる。これは、半導体集積回路素子2の実装高さ(バンプ高さ)と同程度の厚さにするためである。

【0037】

このようにして作製された薄膜キャパシタ20を適用することによって、薄膜キャパシタを内蔵した本発明の半導体装置を得ることができる。

【0038】

図6の(B)に示したように、薄膜キャパシタ20の電極パッド22と半導体集積回路素子2の電極パッド12とのAu-Au超音波接合によって、薄膜キャパシタ20の電極部と半導体集積回路素子2の電極部とが接合され、本発明の半導体装置10が完成する。

【0039】

図6の実施例の半導体装置10においては、薄膜キャパシタ20の厚さは、半導体集積回路素子2の半田バンプ高さHよりある程度小さくしてあり、薄膜キャパシタ20の基板の背面21aはパッケージ基板1の表面に接触していない。この実施例のように、完成品としての半導体装置10を使用する際に、半導体集積回路素子2の半田接合部の温度変化による応力変動の影響が直接、薄膜キャパシタ20に伝わらないように構成してもよい。半田疲労寿命を延ばすことができ、半田接合の電気的接続の信頼性を向上することができる。

【0040】

以上の図5及び図6の説明では、図3の実施形態に基づいて薄膜キャパシタ20及び半導体装置10の作製方法を述べてきたが、同様にして、図4の半導体装置11も容易に作製することができる。すなわち、図6の(A)に示した薄膜キャパシタ20を上下反転させた状態で、薄膜キャパシタ20の電極パッド22と半導体集積回路素子2の電極パッド12とのAu-Au超音波接合によって、薄膜キャパシタ20の電極部と半導体集積回路素子2の電極部とを接合して、図4の半導体装置11を作製できる。

【0041】

(付記1)

支持基板と、前記支持基板上に実装された半導体集積回路素子と、前記半導体

集積回路素子の高周波領域での安定動作を可能にするキャパシタとを備える半導体装置であって、前記キャパシタは、前記半導体集積回路素子下面の電極パッドに電気的に接続され、前記支持基板上における前記キャパシタの基板を含めた厚さが前記半導体集積回路素子のバンプ高さより小さいか、あるいは等しいことを特徴とする半導体装置。

【0042】

(付記2)

前記キャパシタの基板の背面は、前記半導体集積回路素子を実装するための前記支持基板表面に接触することを特徴とする付記1記載の半導体装置。

【0043】

(付記3)

支持基板と、前記支持基板上に実装された半導体集積回路素子と、前記半導体集積回路素子の高周波領域での安定動作を可能にするキャパシタとを備え、前記半導体集積回路素子とリードフレームとがワイヤボンディングにより電気的に接続される半導体装置であって、前記キャパシタは、前記半導体集積回路素子上面の電極パッドに電気的に接続され、前記半導体集積回路素子上面における前記キャパシタの基板を含めた高さが、前記ワイヤボンディングのワイヤ高さよりも低いことを特徴とする半導体装置。

【0044】

(付記4)

前記支持基板はシリコンであることを特徴とする付記1又は3記載の半導体装置。

【0045】

(付記5)

前記キャパシタの誘電体層を構成する誘電体酸化物が、Sr、Ba、Pb、Zr、Bi、Ta、Ti、Mg、Nbの中、少なくとも1つの元素を含む複合酸化物であることを特徴とする付記1記載の半導体装置。

【0046】

(付記6)

前記キャパシタにおいて、誘電体層を間に挟み込んで形成される上部電極及び下部電極が、Pt、Au、Cu、Pb、Ru、Ru酸化物、Ir、Ir酸化物、Crの中、少なくとも1つ以上の金属元素又は金属酸化物を含有することを特徴とする付記1記載の半導体装置。

【0047】

(付記7)

前記キャパシタは、前記基板及び電極パッドを含めた厚さが $50\mu m$ 以下となるよう構成したことを特徴とする付記1記載の半導体装置。

【0048】

(付記8)

前記キャパシタは、前記基板上に誘電体層を間に挟み込んで形成される上部電極及び下部電極を含む薄膜キャパシタであることを特徴とする付記1記載の半導体装置。

【0049】

(付記9)

前記キャパシタの基板の背面は、前記半導体集積回路素子を実装するための前記支持基板表面に接触しないよう構成したことを特徴とする付記1記載の半導体装置。

【0050】

(付記10)

前記キャパシタは樹脂モールドにより封止されることを特徴とする付記3記載の半導体装置。

【発明の効果】

以上説明したように、本発明の半導体装置によれば、半導体集積回路素子の直下に薄膜キャパシタを実装し、両者の距離を最短することができるため、キャパシタの低抵抗化および低インダクタンス化を達成させることができ、半導体集積回路素子の高周波領域(GHz帯)での動作を安定化することを可能にする半導体装置を提供できる。さらに、半導体パッケージとして、キャパシタの部品高さを調整することにより、半田疲労寿命を延ばすことができ、半田接合の電気的接

続の信頼性を向上することができる。

【図面の簡単な説明】

【図1】

積層チップキャパシタを実装した従来の半導体装置を示す図である。

【図2】

キャパシタ内蔵インターポーラを実装した従来の半導体装置を示す図である。

【図3】

本発明の半導体装置の第1の実施形態の構成を示す図である。

【図4】

本発明の半導体装置の第2の実施形態の構成を示す図である。

【図5】

本発明に係る薄膜キャパシタの製造方法を説明するための説明図である。

【図6】

図5の薄膜キャパシタを実装した本発明の半導体装置の詳細構造を示す図である。

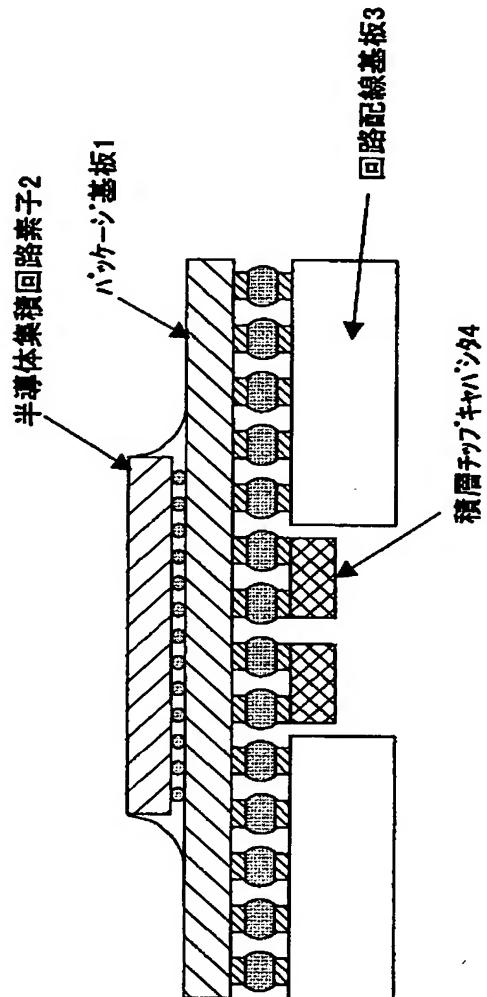
【符号の説明】

- 1 パッケージ基板
- 2 半導体集積回路素子
- 3 回路配線基板
- 4 積層チップキャパシタ
- 5 キャパシタ内蔵インターポーラ
- 10、11 半導体装置
- 12 電極パッド
- 15 半田バンプ
- 16 リードフレーム
- 17 ボンディングワイヤ
- 18 樹脂モールド
- 20 薄膜キャパシタ
- 21 シリコンウェハー

- 21a 研磨面
- 22 電極パッド
- 23 下部電極層
- 24 誘電体層
- 25 上部電極層
- 26 ポリイミド絶縁層

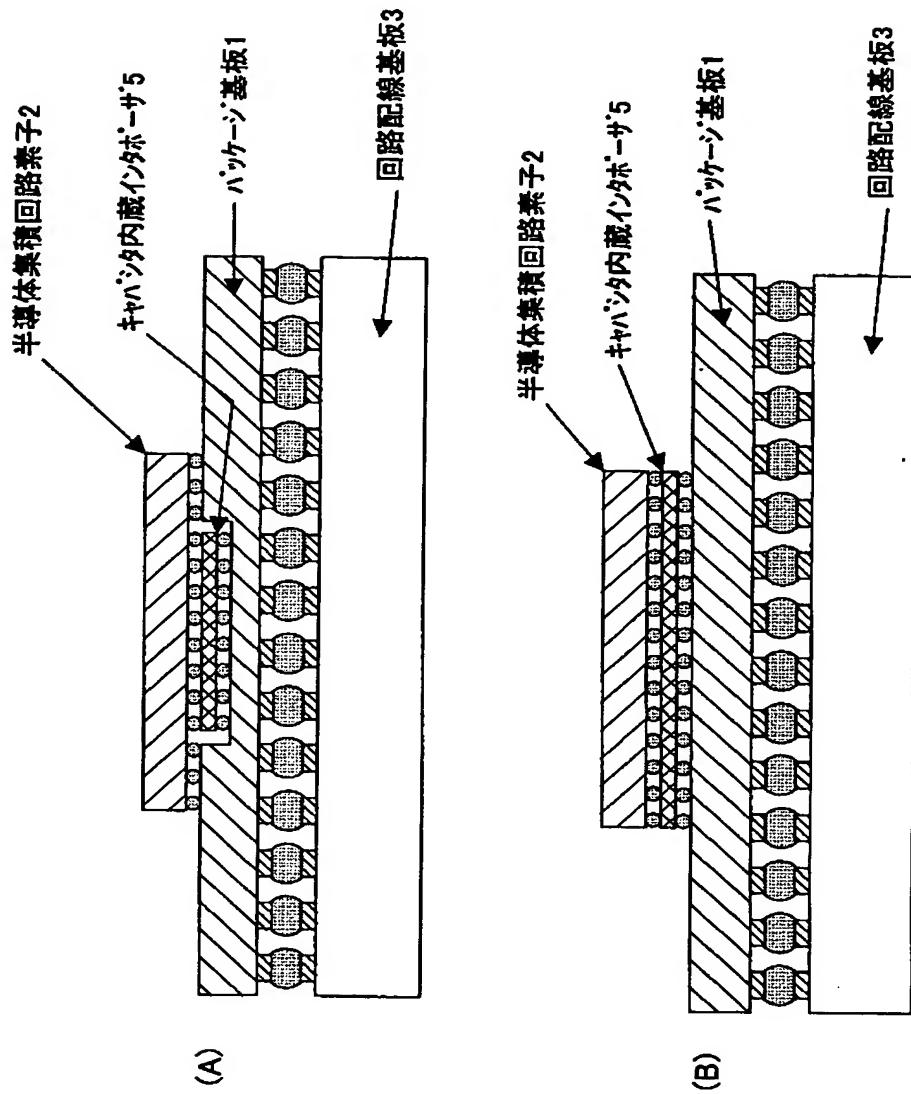
【書類名】 図面
【図1】

積層チップキャパシタを実装した従来の半導体装置を示す図



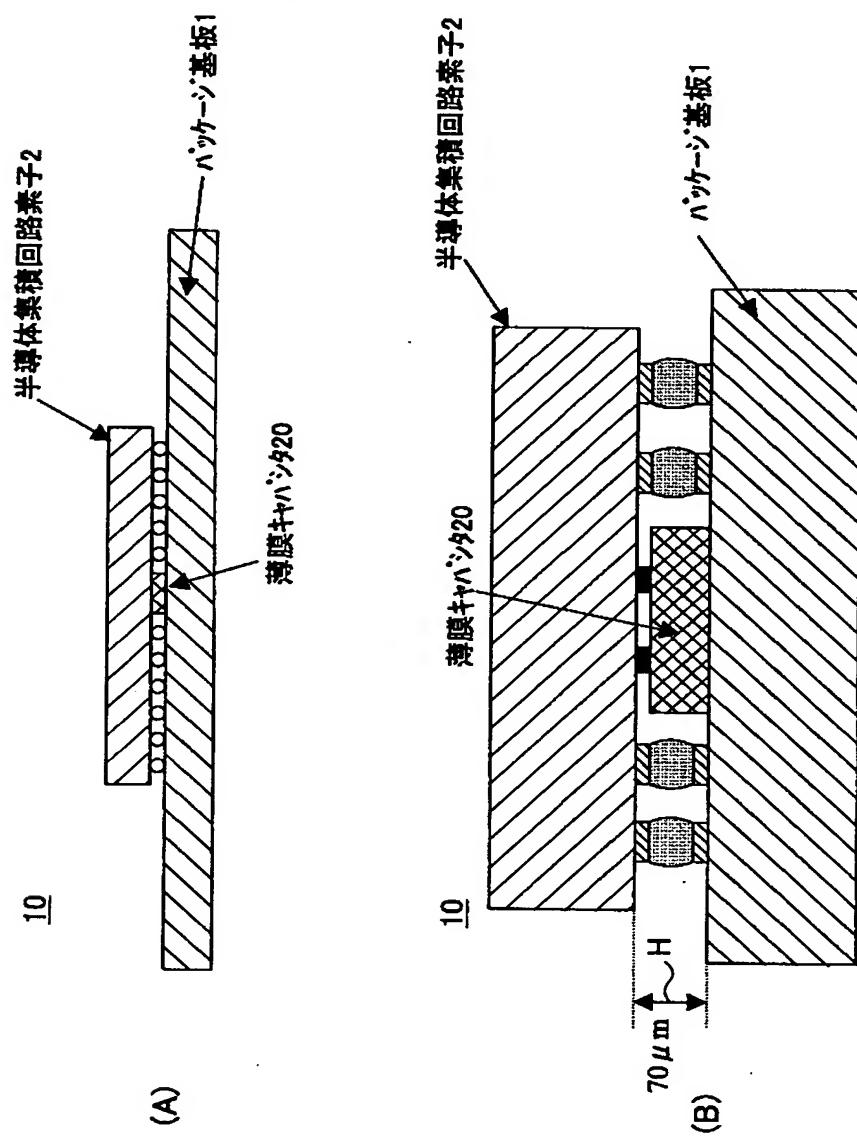
【図2】

キャパシタ内蔵インターポーラを実装した
従来の半導体装置を示す図



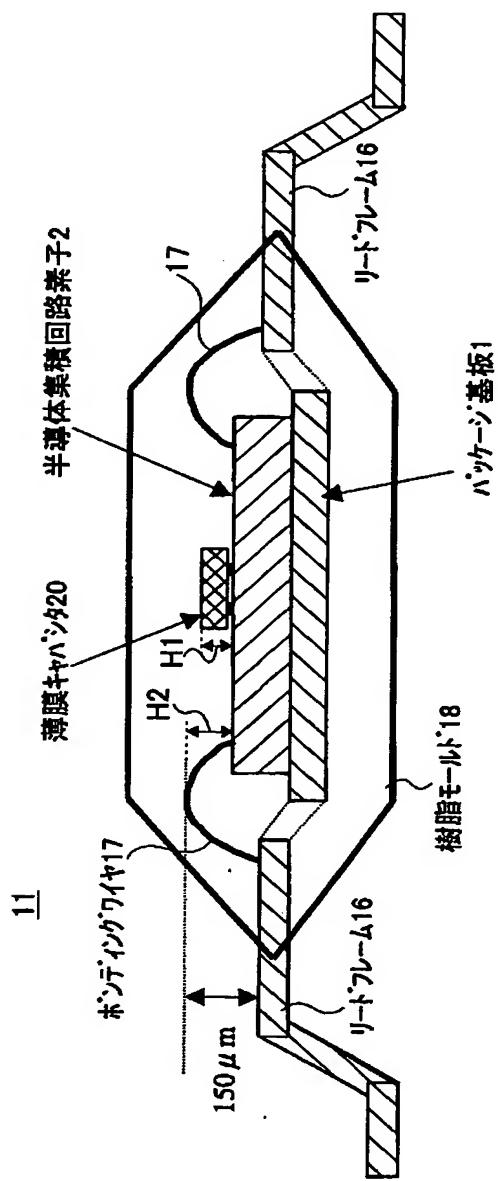
【図3】

本発明の半導体装置の第1の実施形態の構成を示す図



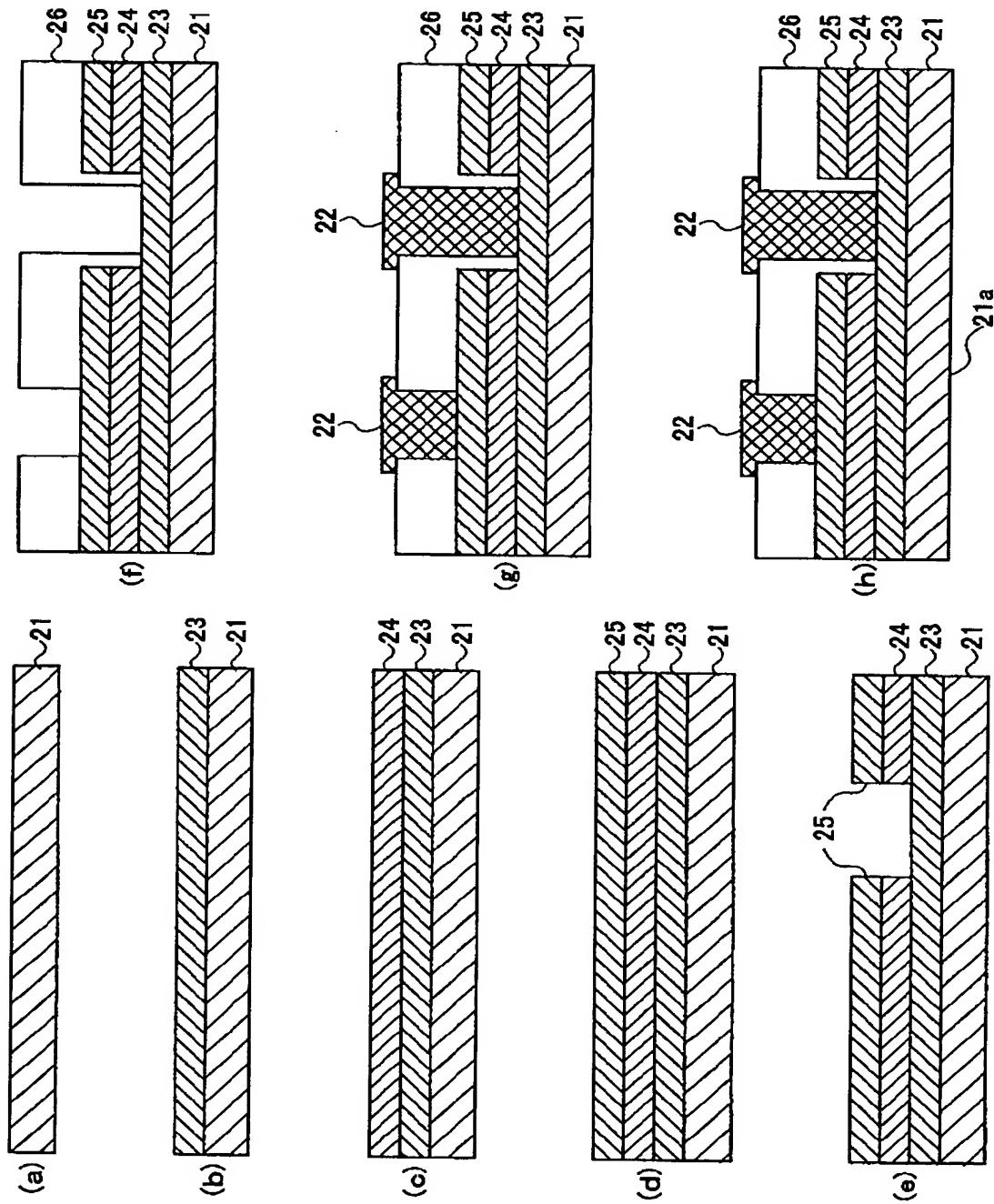
【図4】

本発明の半導体装置の第2の実施形態の構成を示す図



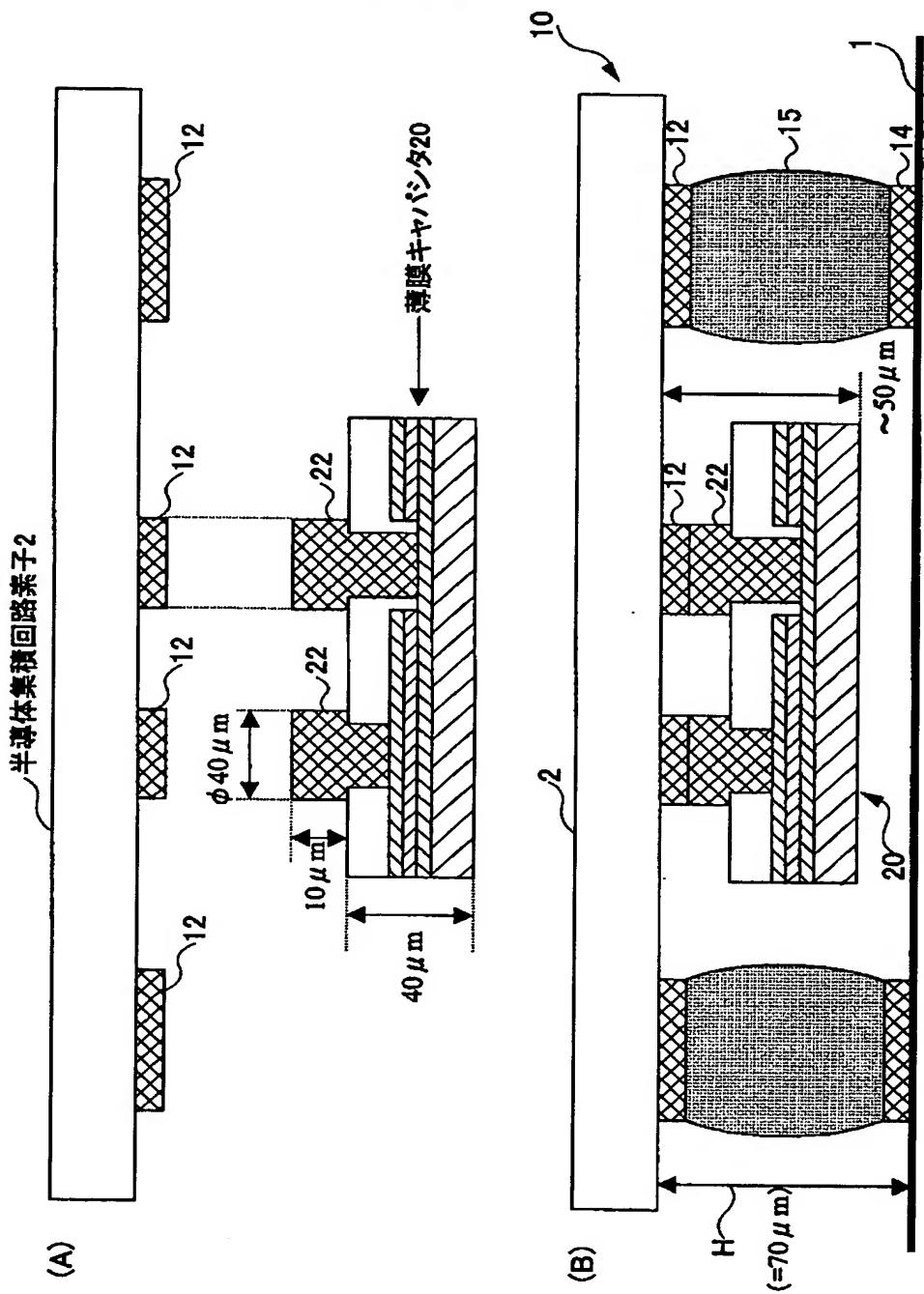
【図5】

本発明に係る薄膜キャパシタの製造方法を説明するための図



【図6】

図5の薄膜キャパシタを実装した本発明の半導体装置の
詳細構造を示す図



【書類名】 要約書

【要約】

【課題】 インターポーラ構造を使用することなく、半導体集積回路素子の近傍の最短距離にデカップリングキャパシタを実装することが可能な半導体装置を提供する。

【解決手段】 支持基板1と、支持基板上に実装された半導体集積回路素子2と、半導体集積回路素子の高周波領域での安定動作を可能にする薄膜キャパシタ20とを備える半導体装置において、薄膜キャパシタ20が半導体集積回路素子2下面の電極パッドに電気的に接続され、かつ、支持基板1上における薄膜キャパシタ20の基板を含めた厚さが半導体集積回路素子のバンプ高さよりも小さい。

【選択図】 図3

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社